

Date Mailed: February 27, 2004



PARTIAL ENGLISH TRANSLATION OF OFFICE ACTION

Applicant: Mitsubishi Denki Kabushiki Kaisha

Application No.: 2002-0023337

Title: SEMICONDUCTOR MEMORY DEVICE

As reasons for refusal described below have been found as an examination result to the present application, the reasons are notified to the applicant according to the provision in Patent Law Section 63. If the applicant has an opinion to the reasons or would like to make an amendment, please submit an opinion (Form 25-2 provided in Regulations under the Patent Law attached hereto) and/or an amendment (Form 5 provided in Regulations under the Patent Law attached hereto) by April 27, 2004. (A petition for one month extension to the due date can be submitted each month but approval of the petition is not notified to the applicant.)

Reasons

Since the invention described in claims 1 to 3 of the present application could have easily been invented by persons skilled in the art with the technique mentioned below, prior to the invention's application. Accordingly, the present application does not satisfy the requirements prescribed in Patent Law Section 29 (2), and it cannot be granted a patent.

Also, the description of claims in the present application is insufficient as mentioned below. Accordingly, it does not satisfy the requirements prescribed in Patent Law Section 42 (4), item 2, and it cannot be granted a patent.

Remarks

1. Claims 1 to 2 (hereinafter, "the present invention 1") relates to a semiconductor memory device where a material having a dielectric constant higher than that of a gate insulating film of an access transistor for switching is used for a gate insulating film for a MOS transistor constituting a CMOS inverter for holding data so that robustness to soft error is improved. On the other hand, a cited invention 1 (United States Patent Publication No. 5937303 (August 10, 1999)) relates to a MOS transistor including a gate insulating film with a high dielectric constant such as ZrO_2 , TiO_2 , Ta_2O_5 or the like, and a cited invention 2 (Japanese Patent Application Laid-open No. H6-338601 (December 6, 1994)) relates to a semiconductor device where a driving transistor constituting a flip-flop for data maintenance is coated with a high dielectric film such as a nitride film which is different from a transmission transistor for switching in order to prevent soft error.

On the other hand, when the present invention 1 and the cited inventions 1 and 2 are compared with each other, the gate insulating film with a high dielectric constant of the present invention 1 is similar to the constitution of the gate dielectric film of the cited invention 1, and such a point that the gate insulating film of the MOS transistor constituting the CMOS inverter for data holding and the gate insulating film of the access transistor for switching are

respectively formed of films having dielectric constants different from each other is identical or similar to such a disclosure in the cited invention 2 that the insulating films of the driving transistor and the transmission transistor are formed of films having dielectric constants different from each other.

Incidentally, it can be supposed that there is a slight difference between the cited inventions 1 and 2 and the present invention 1 regarding that two load transistors and two driving transistors are used in the data holding circuit.

However, since such a fact that a data holding circuit for an SRAM device can be formed with two load transistors and two driving transistors, or two driving transistors and two load resistances is a common technique in the technical field to which the present invention belongs, any difficulty in constitution cannot be found in that an insulating film for a data holding circuit except a access transistor for switching is formed of a film with a high dielectric constant.

Consequently, the present invention 1 can be easily invented by the cited inventions 1 and 2. (Patent Law Section 29 (2))

2. A semiconductor memory device described in claim 3, characterized in that a dielectric constant of a predetermined portion of an inter-layer film stacked on a transistor element region is different from a dielectric constant of the other portions of the inter-layer film can be invented from the cited invention 2 disclosing the semiconductor device with an insulating film which is formed such that the driving transistor for data holding and the transmission transistor portion for switching are formed so as to have dielectric constants different from each other, and a cited invention 3 (Korean Patent Application Laid-open No. 1997-3947 (January 29, 1997)) disclosing the semiconductor memory

device including a high dielectric film such as SiN on a region constituting a storage node. (Patent Law Section 29 (2))

3. Claim 3 describes "... the dielectric constant of a predetermined portion of an inter-layer film stacked on the transistor element region ...". However, a portion of the semiconductor memory device meant by the term "a predetermined portion of an inter-layer film is unclear. (Patent Law Section 42 (4) item 2)

[Attachment]

Attachment 1: United States Patent Publication No. 5937303 (August 10, 1999)

Attachment 2: Japanese Patent Application Laid-open No. H6-338601

(December 6, 1994)

Attachment 3: Korean Patent Application Laid-open No. 1997-3947

(January 29, 1997)

February 27, 2004

출력 일자: 2004/3/2

발송번호 : 9-5-2004-007767557

수신 : 서울 서초구 양재동 275-7 KEC빌딩 17층

발송일자 : 2004.02.27

김창세 귀하

제출기일 : 2004.04.27

137-130

특허청 의견제출통지서



출원인 명칭 미쓰비시덴키 가부시기가이샤 (출원인코드: 519980960919)
주소 일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고

대리인 성명 김창세
주소 서울 서초구 양재동 275-7 KEC빌딩 17층

출원 번호 10-2002-0023337

발명의 명칭 반도체 기억 장치

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1항 내지 제3항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

이 출원은 특허청구범위의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제4항제2호의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

[아래]

1. 청구범위 제1항 내지 제2항(이하 본원발명1이라 함)은, 데이터 유지용의 CMOS 인버터를 구성하는 구성하는 MOS 트랜지스터 게이트 절연막을 스위치용의 액세스 트랜지스터 게이트 절연막보다 비유전율이 높은 것을 이용하여 소프트 에러 내성을 향상시키는 것을 특징으로 하는 반도체 기억 장치에 관한 것이다. 인용발명1(미국특허공보 5937303호(1999.08.10))은 ZrO_2 , TiO_2 , Ta_2O_5 등과 같은 고유전율의 게이트 절연막을 포함하는 MOS 트랜지스터에 관한 것이고, 인용발명2(일본공개특허공보 평6-338601호(1994.12.06))는 소프트 에러를 방지하기 위하여 데이터 유지용의 플립플롭을 구성하는 구동트랜지스터를 스위치용의 전송트랜지스터와는 다른 절연막과 같은 고유전체막으로 피복하는 것을 특징으로 하는 반도체 장치에 관한 것입니다.

한편, 본원발명1과 인용발명1 및 2를 비교하면, 본원발명1의 고유전율의 게이트 절연막은 인용발명1의 게이트 유전막의 구성과 동일 유사하고, 데이터 유지용의 CMOS 인버터를 구성하는 MOS 트랜지스터의 게이트 절연막과 스위치용의 액세스 트랜지스터 게이트 절연막이 서로 다른 유전율을 갖는 막으로 형성하는 점은 인용발명2의 구동트랜지스터와 전송트랜지스터의 절연막을 서로 다른 유전율을 갖는 막으로 형성하는 것과 동일 유사합니다.

다만, 데이터 유지용 회로로 2개의 부하 트랜지스터와 2개의 구동 트랜지스터를 사용한다는 점이 인용발명1 및 2와 다소 차이가 있는 것으로 보이나, 이는 SRAM 소자의 데이터 유지용 회로가 2개의 부하 트랜지스터 및 2개의 구동 트랜지스터 또는 2개의 구동 트랜지스터와 2개의 부하저항으로 형성될 수 있다는 것은 이 발명이 속하는 기술분야에서 일반적인 기술이므로 스위치용 액세스 트랜지스터를 제외한 데이터 유지용 회로의 절연막을 고유전율의 막으로 형성하는 것은 그 구성의 곤란성이 없습니다.

따라서, 본원발명1은 인용발명1과 2로부터 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)

2. 청구범위 제3항의 트랜지스터 소자 영역 상에 적층되는 층간막의 소정 부분의 비유전율은 상기 소정부분 이외의 층간막의 비유전율과 다른 것을 특징으로 하는 반도체 기억장치는 인용발명2의 데이터 유지용의 구동트랜지스터와 스위치용의 전송트랜지스터부분의 절연막이 서로 다른 유전율을 갖도록 형성된 절연막을 포함하는 반도체 장치 및 인용발명3(한국공개특허공보 1997-3947호(1997.01.29))의 스토리지 노드를 구성하는 영역상에 SiN과 같은 고유전율막을 포함하는 반도체 메모리 장치 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)

3. 청구범위 제3항에는 “~ 상기 트랜지스터 소자 영역 상에 적층되는 층간막의 소정 부분의 비유전율은 ~” 라고 기재되어 있으나, 층간막의 소정 부분이 반도체 기억 장치에 있어서 어떤 부분을 의미하는 지 불명확합니다.(특허법 제42조제4항제2호)

[첨 부]

첨부 1 미국특허공보 05937303호(1999.08.10) 1부

첨부2 일본공개특허공보 평06-338601호(1994.12.06) 1부

첨부3 한국공개특허공보 1997-3947호(1997.01.29) 1부 끝.

2004.02.27

특허청

전기전자심사국

응용소자심사담당관실

심사관 김상걸

심사관 김근모



<<안내>>

문의사항이 있으시면 ☎ 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터